Universitat Politècnica de Catalunya

Arquitectura de Computadores de Altas Prestaciones

**Práctica 3**

**Núcleo del camino de datos de un procesador**

Alumnos:

Manuel Velastegui

Carlos Andres Rodríguez Torres

**Grupo 5**

Cuatrimestre Primavera 2024-2025



**ÍNDICE**

[**1. Pregunta 1. 3**](#_heading=)

[1.1 Ventana Temporal 3](#_heading=h.j6nlsel2454t)

[1.2 Análisis de Ventana Temporal 3](#_heading=h.mc5jpfegyduz)

[**2. Pregunta 2 4**](#_heading=h.w8rkdu14n4r0)

[2.1 Tabla de Retardos 4](#_heading=h.tkb5unlzp0dq)

[**3. Pregunta 3 5**](#_heading=h.oehoeb5ngee4)

[3.1 Tabla de Retardos 5](#_heading=h.jfv36uetbsre)

[**4. Pregunta 4 5**](#_heading=h.24whwx866v6)

[4.1 Justificación 5](#_heading=h.l5rfq9ifkj94)

[4.2 Diagrama RTL 6](#_heading=h.55oa7hnjg3sk)

[4.2 Lógica de Funcionamiento de los Autómatas 6](#_heading=h.pklkxss0bgsu)

[**5. Pregunta 5 7**](#_heading=h.f1sxxypdowov)

[5.1 Ventana Temporal 8](#_heading=h.ap703q1it0ha)

# 1. Pregunta 1.

Considere el proyecto del diseño del banco de registros. Entregue una copia de la ventana temporal de la simulación que muestra el retraso de los componentes del Banco de registros involucrados en una operación de lectura por el puerto 1.

Muestre en el mismo diagrama los retardos de los componentes involucrados en una operación de escritura. Para ello, modifique el programa de prueba si es necesario. Utilice los cursores para mostrar los retardos. Utilice como etiqueta del cursor el nombre de la señal

## 1.1 Ventana Temporal

*Figura 1 Ventana Temporal ejecución en Banco de Registros*

## **1.2 Análisis de Ventana Temporal**

**Análisis en la escritura**. Aquí podemos observar 2 retardos:

1. **Retardo de Decodificación (retBRdeco)**. Tenemos que es de 8 ns entre el cursor retBRdecoi y retBRdecof. Este es el retardo asociado con la decodificación de la dirección de escritura (IDE). En el código proporcionado, este retardo se aplica a la señal idedeco que se utiliza para decodificar la dirección de escritura.
2. **Retardo de Escritura (retBRES)**. Tenemos que es de 14 ns entre el cursor retBRregistroi y retBRregistrof. Este es el retardo asociado con la escritura actual de datos en el banco de registros. En el código proporcionado, este retardo se aplica a la operación de escritura en la memoria (mem) del banco de registros.

**Análisis de Lectura**. Aquí podemos observar 1 retardo:

1. **Retardo de Lectura (retBRLE):** Tenemos un retardo de 10s (Cursor 1 y Cursor 2).El retardo de lectura (retBRLE) de 10 nanosegundos representa el tiempo que tardan los datos en estar disponibles en los puertos de salida LE1 o LE2 después de solicitar una lectura. Aunque la lectura es asíncrona (no controlada por el reloj), este retardo simula el tiempo necesario para acceder y propagar los datos desde el banco de registros hasta los puertos de salida.

En los diagramas temporales de las dos siguientes preguntas se ha marcado el retardo con que se observan, respecto al flanco ascendente de la señal Reloj, el valor de los identificadores de registro (IDE, IDL1, IDL2) que genera el módulo control. En el margen izquierdo de los diagramas la etiqueta “Ret. registro” se refiere al retardo de un registro del banco de registros. Las etiquetas muxLe1 y muxLe2 se refieren a los multiplexores de los caminos Le1 y Le2 respectivamente.

# 2. Pregunta 2

Suponga la secuencia de operaciones independientes. Marque, oscureciendo las casillas, los retardos de cada componente para el segundo ciclo de la secuencia de operaciones (IDL1 = 1, IDL2 = 10, IDE = 19).

## 2.1 Tabla de Retardos



*Figura 2 Retardos Caso 1*

Tiempo mínimo de ciclo >= tp + tlog (tsum + tlectura)

Tiempo mínimo de ciclo → 28 ns

# **3. Pregunta 3**

Suponga la secuencia de operaciones dependientes). Marque, oscureciendo las casillas, los retardos de cada componente para el segundo ciclo de la secuencia de operaciones (IDL1 = 1, IDL2 = 10, IDE = 10).

## 3.1 Tabla de Retardos

*Figura 3 Retardos Caso* 2

Tiempo mínimo de ciclo >= tp + tlog (tsum + t lectura + t escritura registro dependiente)

Tiempo mínimo de ciclo → 40 ns

# 4. Pregunta 4

Considere el módulo de control que genera la secuencia de operaciones con dependencias . Entregue una copia del esquema RTL de la unidad de control efectuada por Quartus. Identifique en el esquema la lógica de próximo estado del autómata principal y de los cuatro autómatas subordinados.

## 4.1 Justificación

.

* 1. Autómata Principal (Estado Principal): En tu código VHDL, el autómata principal está representado por la **señal estado** y **prxestado**.
  2. Autómatas Secundarios: Los autómatas subordinados están representados por las señales t\_IDL1, t\_IDL2, t\_IDE y sus respectivas señales **prxIDL1, prxIDL2, prxIDE y contador.**

## 4.2 Diagrama RTL

*Figura 4 Diagrama RTL de la Unidad de Control*

## 4.2 Lógica de Funcionamiento de los Autómatas

estadoreg: reg1 port map(reloj => reloj, e => prxestado, s => estado);

prxestado <= '0' when pcero ='1' or t\_finalop = '1' else

'1' when (ini = '1' and estado = '0') else

'1' when estado = '1'

else '0';

contador: registro generic map(tam => tam\_secuencia)

port map(reloj => reloj, e => prxcnt, s => cnt);

prxcnt <= "01000" when pcero = '1' or estado = '0' else std\_logic\_vector(unsigned(cnt) - 1);

-- modifique los automatas para generar la secuencia de operaciones con dependencias

IdenL1: registro generic map(tam => log\_num\_reg)

port map(reloj => reloj, e => prxIDL1, s => t\_IDL1);

prxIDL1 <= (others => '0') when pcero = '1' or estado = '0' else std\_logic\_vector(unsigned(t\_IDL1) + 1);

IdenL2: registro generic map(tam => log\_num\_reg)

port map(reloj => reloj, e => prxIDL2, s => t\_IDL2);

prxIDL2 <= (others => '0') when pcero = '1' or estado = '0 ' or prxcnt = "01000" else std\_logic\_vector(to\_unsigned(10, log\_num\_reg));

IdenE: registro generic map(tam => log\_num\_reg)

port map(reloj => reloj, e => prxIDE, s => t\_IDE);

prxIDE <= std\_logic\_vector(to\_unsigned(10, log\_num\_reg));

# 5. Pregunta 5

Entregue una copia del contenido de la ventana temporal que se obtiene con Modelsim cuando el camino de datos procesa la secuencia de operaciones dependientes. El objetivo es mostrar que el periodo del reloj es correcto. Por tanto, en la ventana de tiempo se debe poder identificar claramente el periodo de la señal de reloj. Identifique en el cronograma el ciclo correspondiente a la segunda operación y muestre los retardos de los componentes mediante cursores.

## 5.1 Ventana Temporal

*Figura 5 Ventana Temporal ejecución con operaciones dependientes*

1. Corresponde al retardo del generador de identificadores de registro → Tcount
2. El retardo de lectura (retBRLE) de 10 nanosegundos representa el tiempo que tardan los datos en estar disponibles en los puertos de salida LE1 o LE2 después de solicitar una lectura.
3. El retardo de la suma aritmética de 16 nanosegundos.
4. Retardo de Escritura (retBRES). Tenemos que es de 14 ns entre el cursor retBRregistroi y retBRregistrof. Este es el retardo asociado con la escritura actual de datos en el banco de registros.